

10/669,901

⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-248242

⑤ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)10月29日

H 01 L 23/04

G-6835-5F

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 半導体装置

⑯ 特 願 昭61-91186

⑰ 出 願 昭61(1986)4月22日

⑱ 発 明 者 野 世 幸 之 門真市大字門真1006番地 松下電子工業株式会社内

⑲ 出 願 人 松下電子工業株式会社 門真市大字門真1006番地

⑳ 代 理 人 弁理士 星野 恒司 外1名

明 細 書

1. 発明の名称 半導体装置

2. 特許請求の範囲

(1) 半導体基板表面に形成された回路構成部を前記半導体基板と同一材料の蓋で密封することを特徴とする半導体装置。

(2) 回路構成部を密封する蓋は、前記回路構成部に対向する部分が凹状になっていることを特徴とする特許請求の範囲第(1)項記載の半導体装置。

(3) 回路構成部を密封する蓋は、その上面が、前記半導体基板表面と同一面方位を有し、かつ、側面の面方位は、前記半導体基板の側面の面方位に対し、5°ないし90°異なることを特徴とする特許請求の範囲第(1)項又は第(2)項記載の半導体装置。

(4) 回路構成部を密封する蓋は、前記半導体基板と金系共晶合金又は錫／鉛系合金で固着されていることを特徴とする特許請求の範囲第(1)項、第(2)項又は第(3)項記載の半導体装置。

(5) 回路構成部の外部引き出し端子は、前記半導体基板上の回路が構成されている面とは異なる高さの面上にあることを特徴とする特許請求の範囲第(1)項ないし第(4)項の1つに記載の半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体装置、特に保護用の蓋を有する半導体装置に関する。

(従来の技術)

半導体装置は、一般に、半導体基板上に能動素子や受動素子等の回路素子が形成され、これら素子間が、金属や半導体材料による配線や拡散層による多層配線によって内部接続される。さらに、外部引き出しのための端子が配線材料と同一または異なった金属等で形成される。その一般的な材料は、アルミニウムやアルミニウム合金、銅や銅合金等である。このような回路素子、配線、端子等からなる回路が構成された半導体装置は、通常、リードフレームに、金共晶合金法や導電性樹脂に

よってダイ接着され、端子とリードフレームのリードとが金や銅、アルミニウム等の金属細線で接続されて外部回路との間で電気信号の授受が可能になるようにする。さらに、外部環境や機械的外力から保護するために、熱硬化性樹脂で適当な形状に成形、封止される。半導体装置がダイナミック記憶装置の場合は、周囲の部品材料中に混入している不純物から発生する α 線が記憶素子部分へ照射されて回路が誤動作するのを防止するために、照射される α 線のエネルギー吸収を目的として、半導体装置の表面を特殊な樹脂で覆ったり、超高純度の熱硬化性樹脂で成形する。

(発明が解決しようとする問題点)

このように、従来技術においては、半導体装置表面の端子部分が金属で形成され、そして半導体装置全体が熱硬化性樹脂等で封止されているが、このような構造では、水分がリードと樹脂の境界部分から浸入し、あるいは、樹脂中を浸透して端子の金属を腐食させる。さらに、半導体装置の寸法が大きい場合、樹脂成形工程において熱硬化性

樹脂が熱収縮を生じる際に大きな応力が加わり、半導体装置の特性変動や構造破壊を起こすという信頼性上の問題があった。

(問題点を解決するための手段)

本発明では、環境や機械的外力から回路構成部を保護するために、半導体基板と同一材料の蓋を用いる。またその蓋は、半導体基板表面の回路構成部と対向する部分を凹状にする。半導体基板と蓋の固着には、還元雰囲気中で金系共晶合金や、錫／鉛系合金を用いて行う。さらに蓋に用いる材料の切り出しは、蓋の上面が半導体基板の表面と同一面方位を有し、又側面は、半導体基板の側面の面方位と 5° ないし 90° 異なるようにする。

半導体装置の端子の形成は、予め端子に位置する箇所と回路とが接続される箇所に埋め込み拡散を施し、その後、エピタキシャル層で表面を覆い、その表面に回路を形成し、次いで表面回路と埋め込み端子との接続を深い拡散により行ない、蓋を固着した後に湿式もしくは乾式のエッチングで基板材料全体を削って埋め込み端子を露出させる。

(作用)

半導体基板上の回路構成部を、半導体基板と同一材料の蓋で覆って密閉することで、耐湿性が向上し、さらに、熱的な歪が軽減でき、シリコン等の場合は放熱効果が増し、記憶装置ではその表面を樹脂で覆う必要がなくなる。そして、ボードやプリント基板に直接搭載できる高信頼性型の高密度実装半導体装置が得られる。

(実施例)

以下図面を参照しながら、半導体記憶装置を例にとって説明する。第1図A～Hは、本発明の一実施例の製造工程を示したもので、先ず、第1図Aに示すように、(100)の面方位を有するp型シリコン基板1に端子形成用n型層2を形成する。この部分の不純物とその濃度は、砒素や燐で $10^{17} \sim 10^{21}/\text{cm}^3$ とし、またその深さは $1 \sim 7 \mu\text{m}$ とする。

次に、第1図Bに示すように、シリコン基板の表面全体に熱分解法や、不均化反応法によるエピタキシャル結晶成長技術で厚さ $1 \sim 10 \mu\text{m}$ のp型層3を積層する。このp型層3中の不純物と濃度は、

ガリウムや硼素で、 $10^{14} \sim 10^{17}/\text{cm}^3$ とする。

さらに第1図Cに示すように、p型層3の一部にn型不純物拡散を行ってn型層2につながる端子引き出し部4を形成する。この部分の濃度と深さは、 $10^{17} \sim 10^{21}/\text{cm}^3$ で端子形成用n型層2に達する深さである。

次に、第1図Dに示すように、p型層3の表面上に半導体記憶装置のための回路パターン5を、多層ポリシリコン配線や多層金属配線、拡散層等の工程技術を用いて形成する。

それから、第1図Eに示すように、この半導体記憶装置の回路パターン5全体を覆う大きさのシリコンからなる蓋6を用意する。この蓋6の上面は、p型基板1の表面と同一面方位を有し、蓋6の四辺のウェハーからの切り出し方向は、p型基板1の側面から $5^\circ \sim 90^\circ$ 傾けた方向とする。蓋6は回路パターン5と対向する領域に $1 \mu\text{m}$ 以上の窪み7を形成し、この窪み7より高い蓋6の周囲の仕切り壁8の端面9は平坦でシリコンを露出させておくか、 $2000 \pm 1000 \text{ \AA}$ の金の蒸着膜を設けて

おく。半導体記憶装置の回路パターン5の周囲には、シリコン地肌露出領域10を設けておく。

次に、第1図Fに示したように、蓋6の端面9とp型層3のシリコン地肌露出領域10の間に、5～100 μ mの厚みの金箔11をはさんで対向させる。金箔11は、予め1～2%のシリコンを含有したものあるいは \approx 20%の錫を含有したものを用いる。これを380～500 $^{\circ}$ Cの還元雰囲気中で蓋6側に低周波振動(1.0～20cycle/s)を加えると、p型層3と蓋6の端面9は、金箔11を介して金/シリコン共晶合金で気密封止される。

この状態で、弗酸と硝酸の混液や弗素系ガスで蓋6と蓋6の外側のp型層3の表面を同時に削り、p型基板1に埋め込まれていた端子形成用n型層2の表面を露出させる。

次に、第1図Gに示したように、プラズマナイドライド膜や熱分解燐砒酸ガラス膜等の保護膜12で全体を覆い、その後、端子形成用n型層2上の保護膜12の所定の位置にボンディングパッド13用の孔14を設ける。

め、機械的曲げ応力に対する強度が基板単体の場合に比べて改善される。

(6) 本発明による構造のままで基板に実装できるため、高密度実装化が図れる。

4. 図面の簡単な説明

第1図は、本発明の一実施例の半導体装置の製造工程を示す図、第2図は、同半導体装置の斜視図である。

- 1…p型基板、 2…端子形成用n型層、
3…p型層、 4…端子引き出し部、 5…回路パターン、 6…蓋、 7…窪み、
8…仕切り壁、 9…端面、 10…シリコン地肌露出領域、 11…金箔、 12…保護膜、 13…ボンディングパッド、 14…孔、 15…金線。

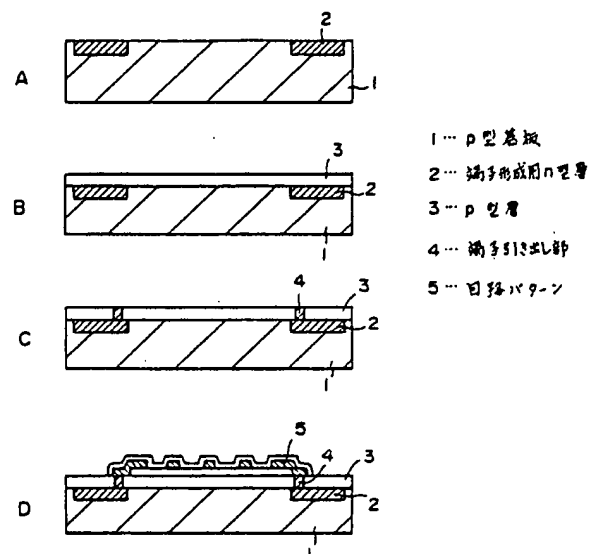
最後に、第1図Hに示したように、ボンディングパッド13上に還元雰囲気中で金線15を超音波や熱圧着、またはそれらの併用法で接続する。この時の温度は380～500 $^{\circ}$ Cの範囲を用いる。このようにして、本発明の半導体装置が完成する。

(発明の効果)

以上説明した、本発明の構成によれば、次のような効果がある。

- (1) 表面に金を除く金属が全く露出しておらず、水分による金属の腐食が皆無となり高信頼化が図れる。
- (2) 基板と蓋が同一材料で構成されているので、温度変化による熱的収縮、膨張に対する耐久性が飛躍的に改善できる。
- (3) 半導体装置からの発熱が、高熱伝導材料からなる蓋を通して効率よく放散される。
- (4) 半導体ダイナミック記憶装置では、高純度材料が蓋に使われるため、 α 線照射による心配がなくなる。
- (5) 蓋の四辺の切り出し方向が基板と異なるた

第 1 図

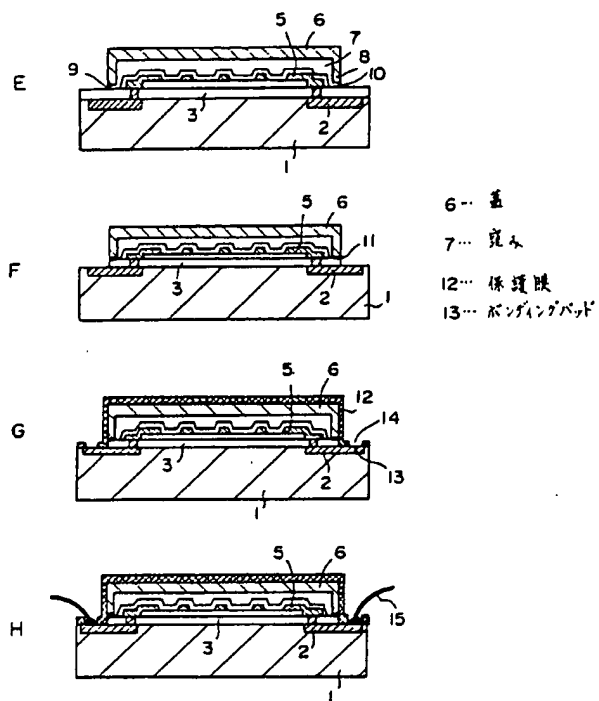


特許出願人 松下電子工業株式会社

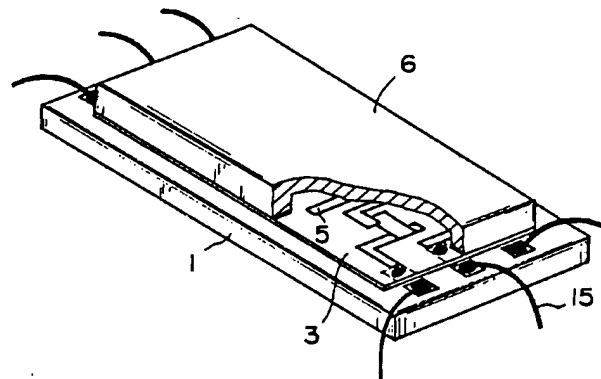
代理人 星野恒

岩上昇

第 1 図



第 2 図



PAT-NO: JP362248242A
DOCUMENT-IDENTIFIER: JP 62248242 A
TITLE: SEMICONDUCTOR DEVICE
PUBN-DATE: October 29, 1987

INVENTOR-INFORMATION:
NAME
NOSE, KOJI

ASSIGNEE-INFORMATION:
NAME COUNTRY
MATSUSHITA ELECTRONICS CORP N/A

APPL-NO: JP61091186
APPL-DATE: April 22, 1986

INT-CL (IPC): H01L023/04

US-CL-CURRENT: 257/678, 257/704 , 257/787 , 257/E23.191 , 257/E23.193

ABSTRACT:

PURPOSE: To improve damp-proofing property, and to reduce thermal strain by covering and hermetically sealing a circuit constitution section on a semiconductor substrate with a cover consisting of the same material as the semiconductor substrate.

CONSTITUTION: A cover 6 composed of silicon with a size covering the whole circuit pattern 5 of a semiconductor memory storage is prepared. A gold leaf 11 is held between the end surface 9 of the cover 6 and an silicon foundation exposed region 10 in a P-type layer 3. The P-type layer 3 and the end surface 9 of the cover 6 are hermetically sealed by a gold/silicon eutectic alloy through the gold leaf 11. Accordingly, damp-proofing property is

improved, and
thermal strain is reduced.

COPYRIGHT: (C)1987, JPO&Japio